

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2001-160616

(P2001-160616A)

(43) 公開日 平成13年6月12日 (2001.6.12)

(51) Int.Cl. ⁷	識別記号	F I	テームコード [*] (参考)
H 0 1 L 27/108		H 0 1 B 13/00	5 0 3 Z 4 M 1 0 4
21/8242		H 0 1 L 21/285	C 5 F 0 8 3
H 0 1 B 13/00	5 0 3	27/10	6 5 1 5 G 3 2 3
H 0 1 L 21/285			6 2 1 B
			6 2 1 C
審査請求 未請求 請求項の数10 O L (全 9 頁)			

(21) 出願番号 特願平11-344207

(22) 出願日 平成11年12月3日 (1999.12.3)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 鈴木 孝明

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 生田目 俊秀

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

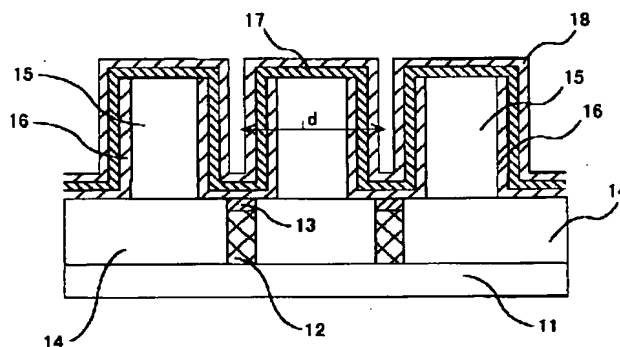
(54) 【発明の名称】 誘電体素子とその製造方法

(57) 【要約】

【課題】凹凸を有する下地基板上に表面、底面、側壁で付着率が一定な P t または I r 薄膜を形成させることで、高集積な誘電体素子を作製する。

【解決手段】シクロペンタジエニル錯体又は β -ジケトン錯体等の有機金属原料を溶媒に溶解した原料溶液を用いた液体搬送気化有機金属化学相成長法によりアスペクト比 3.5 以上の凹凸を有する下地基板上にステップカバーレッジ 100% の均質な P t 又は I r 薄膜を形成することで高集積な誘電体素子を作製することができる。

図 1



【特許請求の範囲】

【請求項 1】凹凸形状を有する下地基板の上に前記下地基板の凹凸形状に沿って Pt 又は Ir を含有する下部電極を形成し、前記下部電極上に誘電体を形成し、前記誘電体上に上部電極を形成する誘電体素子の製造方法において、

シクロペンタジエニル錯体を用いた有機金属錯体原料を溶媒に溶解した原料溶液を気化し、前記気化された原料溶液を前記下地基板の上に成膜し、前記下部電極を形成することを特徴とする誘電体素子の製造方法。

【請求項 2】請求項 1 において、230℃以上300℃以下で前記下部電極を形成することを特徴とする誘電体素子の製造方法。

【請求項 3】凹凸形状を有する下地基板の上に前記下地基板の凹凸形状に沿って Pt 又は Ir を含有する下部電極を形成し、前記下部電極上に誘電体を形成し、前記誘電体上に上部電極を形成する誘電体素子の製造方法において、

β -ジケトン錯体を用いた有機金属錯体原料を溶媒に溶解した原料溶液を気化し、前記気化された原料溶液を前記下地基板の上に成膜し、前記下部電極を形成することを特徴とする誘電体素子の製造方法。

【請求項 4】請求項 3 において、350℃以上550℃以下で前記下部電極を形成することを特徴とする誘電体素子の製造方法。

【請求項 5】請求項 1 又は 3 に記載の製造方法において、前記溶媒はテトラヒドロフラン、トルエン、キシレン、オクタンのうち 1 種類であって、前記溶媒に対する有機金属錯体原料の溶解度が 0.25 mol/l 以上であることを特徴とする誘電体素子の製造方法。

【請求項 6】アスペクト比（溝深さ／溝幅）が 3.5 以上の凹凸形状を有する下地基板と、前記下地基板の凹凸形状に沿って形成され、Pt 又は Ir を含有する下部電極と、前記下部電極上に形成された誘電体と、前記誘電体上に形成された上部電極とを有することを特徴とする誘電体素子。

【請求項 7】隣り合う溝と溝との間隔が 0.06 μ m 以上 0.18 μ m 以下である凹凸形状を有する下地基板と、前記下地基板の凹凸形状に沿って形成され、Pt 又は Ir を含有する下部電極と、前記下部電極上に形成された誘電体と、前記誘電体上に形成された上部電極とを有することを特徴とする誘電体素子。

【請求項 8】アスペクト比（溝深さ／溝幅）が 3.5 以上の凹凸形状を有する下地基板と、前記下地基板の凹凸部の溝の側面及び底面に形成され、Pt 又は Ir を含有する下部電極と、前記下地基板及び下部電極の凹凸形状に沿って形成された誘電体と、前記誘電体上に形成された上部電極とを有することを特徴とする誘電体素子。

【請求項 9】請求項 8 に記載の誘電体素子において、前記下部電極の膜厚が 10 nm 以上 30 nm 以下であるこ

とを特徴とする誘電体素子。

【請求項 10】半導体基板上に形成され、ソース領域、ドレイン領域、ゲート酸化膜及びゲート電極を有するトランジスタと、前記トランジスタ上に形成された層間絶縁層と、前記層間絶縁層上に形成された凹凸を有する絶縁層と、前記絶縁層上に形成され、前記ソース領域またはドレイン領域と電気的に接続されたキャパシタとを有する半導体装置において、前記キャパシタは、前記凹凸形状におけるアスペクト比（溝深さ／溝幅）が 3.5 以上である前記絶縁層上に沿って形成され、Pt 又は Ir を含有する下部電極を有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、誘電体素子、それを用いた半導体装置およびその製造方法に係わり、特に表面凹凸の大きい基板上に Pt または Ir 電極を形成した誘電体素子、それを用いた半導体装置およびその製造方法に関する。

【0002】

【従来の技術】半導体装置に、データの高速書き換えに特徴を持っている DRAM (Dynamic Random Access Memory) がある。この DRAM は、高密度、高集積技術の進歩に伴い 256 M、1 G ビットの大容量化時代を迎えている。このために、回路構成素子の微細化が要求され、特に情報を蓄積する誘電体素子（コンデンサー）の微細化が行われている。

【0003】コンデンサーの微細化には、誘電体材料の薄膜化、誘電率の高い材料の選択、上下電極と誘電体とからなる構造の立体化などが挙げられる。このうち、結晶構造がペロブスカイト構造の単一格子である BST ((Ba/Sr)TiO₃) は、SiO₂/Si₃N₄ に比べて大きな誘電率(ϵ)を有することが知られている。この高誘電体材料を使用する例が、ジャパン・ジャーナル・オブ・アプライド・フィジクス 1995 年 5077 頁 (Jpn. J. Appl. Phys., 34(1995)5077)で報告されている。BST を用いた場合の立体構造のアスペクト比（溝深さ／溝幅）は約 0.65 と非常に緩い条件のためにスパッタ法で上部及び下部電極、誘電体が作製されている。

【0004】最近では、特開平 8-260148 号に、Ir (DPM)₃ を原料に用いた昇華型の化学気相成長法 (CVD 法) で下地基板上に Ir 薄膜を形成する方法が提案されている。

【0005】また、特開平 9-82666 号に、Pt (HFA)₂ を原料に用いた昇華型の化学気相成長法 (CVD 法) で下地基板上に Pt 薄膜を形成する方法が提案されている。

【0006】

【発明が解決しようとする課題】上記従来技術におい

3

て、スパッタ法による成膜では、凹凸を有する立体構造で段差被覆性が悪く、側壁への付着が上面、底面に比べて小さくなるため、アスペクト比が1以上の高立体素子構造を取れないという問題点があった。

【0007】従来のCVD法では、PtまたはIr金属原子同志の接触回数が多いために、PtまたはIrの触媒効果により急激に膜形成が開始し、膜厚の制御が困難であった。これは、上面での反応が促進される成膜条件が広いことに起因しており、その結果、凹凸形状を有する下地基板の特に底面、側壁へのPtまたはIr電極薄膜の形成が困難であった。

【0008】また、PtやIrの有機金属錯体が単体の場合には付着率が大きく、その結果、凹凸基板の上面での反応が促進されていた。そのために凹凸形状を有する下地基板の上面の膜厚が厚く、底面及び側壁の膜厚が薄くなり高いステップカバーレージ（側壁の膜厚／上面の膜厚）が得られないという問題点があった。

【0009】本発明の目的は、高集積化に伴う高アスペクト比を有する素子構造上においても、ステップカバーレージの高いPt又はIr電極を有する誘電体素子、半導体装置及び誘電体素子の製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明は、凹凸形状を有する下地基板上に前記下地基板の凹凸形状に沿ってPt又はIrを含有する下部電極を形成し、前記下部電極上に誘電体を形成し、前記誘電体上に上部電極を形成する誘電体素子の製造方法において、シクロペンタジエニル錯体を用いた有機金属錯体原料を溶媒に溶解した原料溶液を気化し、前記気化された原料溶液を前記下地基板上に成膜し、前記下部電極を形成することを特徴とする。特に、230℃以上300℃以下で前記下部電極を形成することにより、ステップカバーレージが90%以上でかつ膜表面の凹凸が1nm以下の均質な下部電極を得ることができる。

【0011】また、本発明は、 β -ジケトン錯体を用いた有機金属錯体原料を溶媒に溶解した原料溶液を気化し、前記気化された原料溶液を前記下地基板上に成膜し、前記下部電極を形成することを特徴とする。特に、350℃以上550℃以下で前記下部電極を形成することにより、ステップカバーレージが90%以上でかつ膜表面の凹凸が1nm以下の均質な下部電極を得ることができる。

【0012】本発明で用いられるPt又はIrの有機金属錯体原料としては、シクロペンタジエニル錯体又は β -ジケトン錯体のいずれか1種を用いることを特徴とする。シクロペンタジエニル錯体を用いた有機金属錯体原料としては、トリメチルシクロペンタジエニルプラチナ(CpPtMe₃)、トリメチルメチルシクロペンタジエニルプラチナ((MeCp)PtMe₃)、ビシクロオクタ

4

ジエンシクロペンタジエニルイリジウム(CpIr(COD))、ジメチルビシクロオクタジエントリメチルシクロペンタジエニルイリジウム((MeCp)Ir(DM COD))等を用いる。

【0013】また、 β -ジケトン錯体を用いた有機金属錯体原料としては、ビスヘキサフルオロアセチルアセトナートプラチナ(Pt(hfac)₂)、ジビバロイルメタナートプラチナ(Pt(dpm)₂)、ビスヘキサフルオロアセチルアセトナートイリジウム(Ir(hfac)₂)、ジビバロイルメタナートイリジウム(Ir(dpm)₂)等を用いる。

【0014】溶媒としては、テトラヒドロフラン、トルエン、キシレン、オクタンのうち1種類であって、前記溶媒に対する有機金属錯体原料の溶解度が0.25mol/l以上であることが好ましい。特に、溶媒としてテトラヒドロフラン(THF)を用いることが好ましい。

【0015】また、溶媒の沸点が気化器温度より低いものを用いることが好ましい。沸点が気化器温度より高い場合、原料溶液が気化せず、液体のままとなるため、成膜そのものが困難となる。従って、成膜時には、設定する気化器温度より沸点の低い溶媒を選択することが好ましい。

【0016】本発明では、Pt又はIrの有機金属錯体原料をテトラヒドロフラン(THF)等の溶媒に溶解した原料溶液を用いている。従って、各有機金属錯体原料とTHF等の溶媒が一緒に供給される。

【0017】このTHF等の溶媒が選択的に下地基板上に付着するために、有機金属錯体原料の付着率を小さくする効果があることを新たに見いだした。付着率を小さくできることは、凹凸基板の上面での反応を抑制できるため、底面及び側壁まで有機金属錯体が到達する。従って、高アスペクト比を有する凹凸形状の下地基板上でも良好なステップカバーレージを有するPt又はIr電極を形成することができる。

【0018】本発明によれば、凹凸のある下地基板上で、上面、底面及び側壁へも均質に電極薄膜を形成することができる。したがって、高アスペクト比な立体構造を有する上部電極／誘電体／下部電極からなる高集積な誘電体素子を得ることができる。

【0019】本発明の誘電体は、アスペクト比（溝深さ／溝幅）が3.5以上の凹凸形状を有する下地基板と、前記下地基板の凹凸形状に沿って形成され、Pt又はIrを含有する下部電極と、前記下部電極上に形成された誘電体と、前記誘電体上に形成された上部電極とを有する。

【0020】また、下地基板は、隣り合う溝と溝との間隔が0.06 μ m以上0.18 μ m以下である凹凸形状を有する。

【0021】また、前記下地基板の凹凸部の溝の側面及び底面に形成され、Pt又はIrを含有する下部電極

10

20

30

40

50

と、前記下地基板及び下部電極の凹凸形状に沿って形成された誘電体と、前記誘電体上に形成された上部電極とを有する。

【0022】本発明の誘電体素子は、前記下部電極の膜厚が10nm以上30nm以下であることが好ましい。

【0023】本発明の半導体素子は、半導体基板上に形成され、ソース領域、ドレイン領域、ゲート酸化膜及びゲート電極を有するトランジスタと、前記トランジスタ上に形成された層間絶縁層と、前記層間絶縁層上に形成された凹凸を有する絶縁層と、前記絶縁層上に形成され、前記ソース領域またはドレイン領域と電気的に接続されたキャパシタとを有する半導体装置において、前記キャパシタは、前記凹凸形状におけるアスペクト比（溝深さ／溝幅）が3.5以上である前記絶縁層上に沿って形成され、Pt又はIrを含有する下部電極を有することを特徴とする。

【0024】

【発明の実施の形態】以下に具体的に誘電体素子の製造方法を説明する。

【0025】（実施の形態1）図1に誘電体素子の断面図を示す。符号11はSiウエハを示す。まず、Siウエハ11を300℃に加熱し、熱酸化で形成したSiO₂層14にコント径を形成する。次に、前記コント径にSiプラグ12を作製する。次にスパッタ法によりSiプラグ12上に厚さ100ÅのTiN層13のバリア層を作製する。さらにTEOS原料を用いたプラズマCVD法により、前記SiO₂層14及びTiN層13のバリア層上に、厚さ8400ÅのSiO₂層15を形成する。前記TiN層13のバリア層が露出するように、径2400Åの溝を加工して凹凸のある下地基板を作製する。下地基板に形成された凹凸を有する立体構造のアスペクト比は、3.5である。また、隣り合う溝と溝との中心から中心までの間隔（d）は0.13μmである。

【0026】下地基板を凹凸形状とすることで、電極の表面積を大きくすることができ、平面の場合に比べ、誘電体素子の単位面積あたりの容量を大きくすることができる。隣り合う溝と溝との中心から中心までの間隔

（d）は、電極及び誘電体の膜厚等の関係より、0.06μm以上0.18μm以下とすれば良い。また、アスペクト比が3.5以上の凹凸形状を有する下地基板上に誘電体素子を形成することで、256M以上、特に1Gビット以上の高容量化を達成することが可能となる。さらに、この下地基板の凹凸形状に沿って、下部電極16を形成する。下部電極16を液体搬送型CVD法により、凹凸形状を有する下地基板の全面に成膜する。次に、凹凸形状の側面及び底面の下部電極が除去されない条件でドライエッチングを行うことにより、露出された凹凸形状の上面部分の下部電極のみを除去する。これにより、前記下地基板の凹凸部の側面及び底面のみに下部電極16が形成された構造となる。

【0027】下部電極が下地基板の凹凸部の上面において、電氣的に切断されることにより、一つの誘電体素子で、複数の下部電極／誘電体／上部電極構成を形成することができる。本実施形態では、下部電極の凹凸部の上面部分を切断した形状としたが、下部電極の一部分を電氣的に切断した形状としても良い。

【0028】次に、上記下地基板及び下部電極16の凹凸形状に沿って、誘電体17である（Ba, Sr）TiO₃（BST）を有機金属化学気相成長法（MOCVD法）により形成する。

【0029】次に、アスペクト比6.03の該誘電体17の凹凸形状に沿って、上部電極18を形成する。

【0030】ここで、本実施例に用いたシクロペンタジエニルプラチナ錯体の分子構造を図2に示す。5員環とプラチナ金属間にδまたはπ結合を有している。このδまたはπ結合の結合エネルギーに対して、230℃以上の温度エネルギーを与えることにより、この結合を解離させることができる。Si系の基板上では、230℃以上300℃以下の温度範囲において、凹凸形状を有する基板の凹凸部上面、側面及び底面で、錯体の基板に対する付着率が一定となる。それ以上の温度においては上面のみの分解－付着が優先的に進行する。したがって、シクロペンタジエニルプラチナ錯体を用いた液体搬送気相有機金属化学気相成長法で230℃以上300℃以下の温度範囲で凹凸のある下地基板上に上面、底面、側壁に均質なPtまたはIr電極薄膜を形成できる。

【0031】本実施例においては、図2に示す分子構造で、R=CH₃の場合のトリメチルシクロペンタジエニルプラチナ（CpPtMe₃）錯体を用いて、Pt電極を作製した。

【0032】下部電極16の薄膜形成法について詳細に説明する。図3に、本実施形態による薄膜形成に用いた液体搬送型CVD装置の概略図を示す。下部電極16を作製するために、CpPtMe₃錯体をTHF（テトラヒドロフラン）溶媒に0.1mol/lの濃度で調合して原料溶液を作製し、原料容器30に充填する。液体マスフローコントローラー31により原料溶液の供給量を制御しながら、0.1～3sccmの速度で、原料溶液を原料容器30から気化器32へと搬送する。有機金属錯体原料を溶媒に溶解した原料溶液をもちいることで、室温で気化器までの搬送が容易となる。なお、図3に示す液体搬送型CVD装置において、原料容器30や液体マスフローコントローラー31等を増やすことで、多元素の成膜が可能となる。

【0033】気化器32の温度を80～150℃に設定して原料溶液を短時間で液体からガスに気化した後、キャリアーガスとしてのArガスを198～500sccmの速度で、気化された原料溶液を混合器33へ搬送した。混合器33は、恒温槽34により所定の温度に保たれている。この混合器33内で、気化された原料／Arガス

に反応ガスである酸素ガスを2~800sccmの速度で混合し、反応容器37に導入する。これらの工程において、Arガス及び酸素ガスは、ガス供給管38から供給され、マスフローコントローラー39により所定の流量を流すことが可能である。

【0034】溶媒としては、有機金属錯体原料の溶媒に対する溶解度が0.25mol/l以上であることが好ましい。0.25mol/lより小さい場合、気化器32における原料と溶媒の瞬間気化が難しく、そのために沸点の低い溶媒のみ気化して原料が残る。その結果、気化器内での目詰まりを生ずる。

【0035】図4に、凹凸形状の下地基板上にPt薄膜を形成した場合の酸素ガス/Arガスの流量比に対するステップカバーレージの依存性を示す。反応ガスとしての酸素ガスとキャリアガスとしてのArガスの流量比が一定の場合、300℃で形成された膜よりも270℃で形成された膜の方が、高いステップカバーレージを有する。また、同じステップカバーレージを得る場合、形成温度の違いにより、酸素ガス/Arガスの流量比も異なる。また、同じ形成温度において、酸素ガス/Arガスの流量比が大きくなるにしたがい、ステップカバーレージは低くなる傾向にあることが分かる。

【0036】反応容器37では、反応容器内の圧力を0.1~50torrとし、成膜温度を、230℃以上300℃以下となるように基板加熱用ヒーター36により制御する。シャワーヘッド35を用いて原料を均一に基板上に供給し、1~20minの間成膜する。これにより、膜厚20~30nmの下部電極16を得る。

【0037】1例としてO₂/Ar比が2% (270℃成膜) の場合に得られたPt膜の断面を走査型電子顕微鏡(SEM)で観察した結果、下地基板の凹凸面の上面、底面、側壁にも均質にPt膜が形成されており、膜のステップカバーレージが100%であることが分かった。また、膜の表面粗さは±10Å以下と非常に滑らかな膜質でもあった。膜の比抵抗測定を行った結果、室温で $\rho = 50 \mu\text{C}/\text{cm}^2$ と低抵抗であった。

【0038】液体搬送型CVD法では、高濃度な溶媒ガス(気化された溶媒)を用いるため、Ptの金属原子同志の接触回数が低減されることから、Ptの触媒効果が抑制され凹形状の側壁、底部まで均質に膜形成ができる。

【0039】更に、本発明では、成膜温度に対する成膜速度の勾配が、従来の昇華型CVD法に比べてTHF等の溶媒の存在によって緩やかになることから、PtまたはIr電極薄膜の膜厚制御が容易になる。

【0040】また、従来の昇華型CVD法では、常時固体原料を加熱し、昇華された原料を基板上に蒸着していたため、原料の劣化が生じやすく、安定した原料供給をすることができなかった。原料溶液を気化器32まで室温で搬送する液体搬送型CVD法では、原料溶液を原料容

器内で室温で保存できるため、昇華型CVD法で生じるような原料の熱的変質を抑制できる。従って、原料の長時間安定供給が可能となる。

【0041】図5は、アスペクト比の異なる凹凸形状の下地基板上にPt薄膜を形成した時のステップカバーレージの変化を示す。従来の昇華型CVD法で作製したPt薄膜は、アスペクト比の増加と共にステップカバーレージは急激に低下し、アスペクト比が3.5の時にステップカバーレージは72%しかなかった。

【0042】一方、本発明では、アスペクト比が3.5の基板上にステップカバーレージが100%を有するPt薄膜を得ることできる。また、アスペクト比1.5の凹凸形状の下地基板にPt薄膜を形成しても90%のステップカバーレージを有していることから、優れた電極薄膜、更には誘電体素子を作製することができる。

【0043】次に、誘電体17の薄膜形成方法について説明する。Ba(dpm)₂, Sr(dpm)₂, Ti(O-i-Pr)₂(dpm)₂を出発原料に用いて、各々をTHF溶媒に0.05~0.25mol/lの濃度で調合してCVD原料とする。各々のCVD原料について、液体マスフローコントローラーで0.1~3sccmの速度で250℃に設定した気化器に供給する。キャリアーガスであるArガス200sccmでCVD原料ガスを反応容器に導入すると共に酸素ガス5~100sccmも反応容器に導入した。反応容器の圧力を0.01~50torrとし、成膜温度を420℃として3min成膜して、BST薄膜を30nm成膜した。さらに、N₂またはArガス中700℃で30~60sec熱処理して結晶性を向上させた。

【0044】また、上部電極18は、上記下部電極16の形成と同一方法で同一条件で成膜を行い、アスペクト比6.03の凹凸上にステップカバーレージが100%の均質なPt薄膜を形成できた。得られた誘電体素子の1Vにおける誘電率 ϵ は300と非常に優れた電気特性を示した。

【0045】R=CH₃の場合のトリメチルシクロペンタジエニルプラチナ錯体の他に、R=C₂H₅のトリエチルシクロペンタジエニルプラチナ、R=C₃H₇のトリプロピルシクロペンタジエニルプラチナ及びR=C₄H₉のトリブチルシクロペンタジエニルプラチナを用いた場合においても上記と同様の方法を用いることができ、下部及び上部電極に均質なPt薄膜を形成することができる。

【0046】また、上記実施例はPtについて説明したが、Irのシクロペンタジエニル錯体を用いても優れたステップカバーレージを有する誘電体素子を作製することができる。

【0047】また、上記の反応ガスとしてO₂を用いたが、H₂, CO及びCO₂のうちいずれか一種を用いても均質なPt薄膜を形成することができる。

【0048】(実施の形態2)先に説明した図1におい

て、下部電極及び上部電極の原料を β -ジケトン錯体を用いた有機金属錯体原料とし、下地基板の凹凸形状のアスペクト比を変更したものを第2の実施例として説明する。実施例1と同様にTiNバリア層13を形成した後、厚さ8000ÅのSiO₂層14(絶縁層)をプラズマCVD法により作製する。前記TiN層13のバリア層が露出するように、径2200Åの溝を加工して凹凸のある下地基板を作製した。この立体構造のアスペクト比は、3.64(8000/2200)である。この下地基板の凹凸形状に沿って、下部電極17を作製し、実施例1と同様の方法で、前記下地基板の凹凸部の側面及び底面のみに下部電極16を形成する。本実施例に用いられたプラチナ β -ジケトン錯体の分子構造を図6に示す。4員環の酸素とプラチナ金属間に π 結合を有しており、結合エネルギーより350℃以上の温度で解離し始める。しかし、酸素-炭素間の解離または酸素-プラチナ間の解離が同時に進行するために、付着率は悪く基板表面付近における分解-付着反応が優先的に進行する。また、550℃以上の温度では、急激な分解反応のために島状結晶となりコンタクトのとれない膜質となる。そこで、本発明では、 β -ジケトン錯体を用いた有機金属原料をテトラヒドロフラン等の溶媒に溶解することで、高濃度の溶媒の影響で分解-付着反応が適度な速度になることより均質な膜形成ができる。

【0049】下部電極の形成方法について説明する。下部電極16を作製するために、 β -ジケトン錯体の結晶構造で $R' = C(CH_3)_3$ のジビバロイルメタナートルプラチナ($Pt(dpm)_2$)をTHF溶媒に0.25mol/lの濃度で調合して原料溶液を作製し、原料容器30に充填する。液体マスフローコントローラー31により原料溶液の供給量を制御しながら、0.1~3sccmの速度で、原料溶液を原料容器30から気化器32へと搬送する。気化器32の温度を100~200℃設定して原料溶液を短時間で液体からガスに気化した後、キャリアガスであるArガス198~500sccmをもちいて、気化された原料溶液を混合器33へ搬送した。混合器33内で、気化された原料/Arガスに反応ガスである酸素ガス0~800sccm(但し、0sccmの場合には酸素ガスを混合しないことを意味する)を混合し、反応容器37に導入する。反応容器37の圧力を0.1~50torrとし、成膜温度を、350℃以上550℃以下となるように基板加熱用ヒーター36により制御する。シャワーヘッド35を用いて原料を均一に基板上に供給し、1~20minの間成膜する。これにより、膜厚20~30nmの下部電極16を得る。

【0050】得られた膜厚30nmのPt膜の断面をSEM観察した結果より、下地基板の凹凸面の上面、底面、側壁にも均質なPt膜が形成されており、膜のステップカバーレージが約100%であることが分かった。また、膜の表面粗さは±8Å以下と非常に滑らかであつ

た。膜の比抵抗測定を行った結果、室温で $\rho = 50 \mu C/cm^2$ と低抵抗であった。

【0051】次に、上記下地基板及び下部電極17の凹凸形状に沿って誘電体18であるBSTを実施例1と同様の方法で膜厚30nm作製した。次に、N₂またはArガス中700℃で30~60sec熱処理して結晶性を向上させた。

【0052】この誘電体18の凹凸形状に沿って上部電極19を形成した。上記下部電極の形成と同一方法で同一条件で成膜を行い、アスペクト比6.17の凹凸上にステップカバーレージが100%の均質なPt薄膜を形成できた。得られた誘電体素子の1Vにおける誘電率 ϵ は300と非常に優れた電気特性を示した。

【0053】 $R = C(CH_3)_3$ の場合のジビバロイルメタナートルプラチナ錯体の他に $R = CH_3$ のアセチルアセトナートルプラチナ、 $R = CF_3$ のビスヘキサフルオロアセチルアセトナートルプラチナを用いた場合においても上記と同様の方法を用いることができ、下部及び上部電極に均質なPt薄膜を形成することができる。

【0054】また、上記実施例はPtについて説明したが、Irの β -ジケトン錯体を用いても優れたステップカバーレージを有する誘電体素子を作製することができる。また、上記の反応ガスとしてO₂を用いたが、H₂、CO及びCO₂のうちいずれか一種を用いても均質なPt薄膜を形成することができる。

【0055】さらに、キャリアガスとしてArガスについて説明したが、HeまたはN₂ガス等のガスを用いてもよい。

【0056】(実施の形態3)本発明の第3の実施例について、図7を用いて説明する。Siウエハ71上に実施例1と同様にSiO₂層74、Siプラグ72、TiNバリア層73を形成する。下部電極75をIrをターゲットに用いたスパッタリング法でSiO₂層74及びTiNバリア層73上にIrを成膜した。スパッタガスはArガス、成膜圧力は2Pa、RFパワーは1500Wとし、膜厚5000Åを得る。次にTiNバリア層73と下部電極75とが接触するように、下部電極75を台形状に加工し、凹凸のある下部電極75を形成する。この立体構造のアスペクト比は、3.5である。

【0057】該下部電極75上の凹凸形状に沿って、誘電体76であるBSTをMOCVD法により実施例1と同様の方法で、膜厚30nmの誘電体膜を作製する。次に、N₂またはArガス中700℃で30~60sec熱処理して結晶性を向上させた。

【0058】この誘電体76の凹凸形状に沿って上部電極77を形成した。有機金属錯体としてビスクロオクタジエンシロペンタジエニルイリジウムCpIr(COD)を用い、これをTHF溶媒に溶解した原料溶液を用いた液体搬送型CVD法により、実施例1と同様の条件で膜厚20nmのIr薄膜を作製した。得られた誘電体素子

の 1 V における誘電率 ϵ は 280 と非常に優れた電気特性を示した。

【0059】実施例 1～3 までの上部及び下部電極の液体搬送気化有機金属化学気相成長法には THF 溶媒を用いたが、0.25 mol/l 以上の溶解度を有するトルエン、キシレン、オクタンを用いてもよい。

【0060】また、上記実施例 3 は、I r 電極薄膜に関して説明したが、P t を用いても同様に優れた被覆性を有し、高い電気特性を有する誘電体素子を作製することができる。

【0061】（実施の形態 4）本発明の第 4 の実施例について、図 8 を用いて説明する。図 8 は、本発明にかかる誘電体素子を用いた半導体装置の一部断面を示す図である。素子分離領域 81 により区切られたシリコン基板 80 上の素子領域には、ソース領域 82 (a)、ドレイン領域 82 (b) とゲート酸化膜 83 及びゲート電極 84 から構成された転送トランジスタが形成されている。ドレイン領域 82 (b) 上には配線層 85 が形成されている。転送トランジスタが形成されたシリコン基板 80 上にはソース領域 82 (a) 上にスルーホールが形成された層間絶縁層 86 が形成されている。層間絶縁層 86 上には、凹凸形状の絶縁層 15 が形成される。前記凹凸形状を有する絶縁層 15 のアスペクト比としては、3.5 以上であることが好ましい。前記絶縁層 15 上に P t からなる下部電極 16 と、(B a / S r) T i O₃ からなる誘電体薄膜 17 と、P t からなる上部電極 18 とを有するキャパシタを実施例 1 と同様の方法を用いて形成した。下部電極 16 は、T i N 層 88 とスルーホール内に埋め込まれた S i プラグ 87 を介してソース 82 (a) に電氣的に接続されている。本実施例では、82 (a) をソース領域、82 (b) をドレイン領域、82 (c) をソース領域としたが、82 (a)、82 (b)、82 (c) の組合せを代えて、下部電極とドレイン領域とを電氣的に接続する構造であっても良い。さらに、キャパシタ上に層間絶縁層 89 及び配線 810 を形成することで、低電圧で蓄積電容量の変化が検出できる半導体装置を作製することができた。

【0062】（実施の形態 5）実施例 1 に示した方法で薄膜コンデンサを作製した。

【0063】従来のマルチチップモジュールでは、マイクロチップキャリアに、チップコンデンサを搭載していたため、L S I との距離を近づけることに限界があること、またレイアウトの関係からコンデンサ全体の大容量化が困難であること等の問題があった。本発明では、凹凸基板上に電極薄膜及び誘電体薄膜を形成できることか

ら、誘電体の単位面積当たりの容量が大きくなるため、コンデンサ全体の大容量が確保できる。したがって、大容量のコンデンサを搭載した高性能なシステムが提供可能である。

【0064】

【発明の効果】以上のように、高集積化に伴う高アスペクトを有する素子構造を得るために、有機金属錯体を溶媒に溶解した原料溶液を用いた液体搬送気化有機金属化学気相成長法により P t 又は I r 電極薄膜を底面、側壁等に均質に形成できることより、優れた段差被覆性を持つ誘電体素子を提供することができる。

【図面の簡単な説明】

【図 1】本発明の実施例 1、2 で作製した誘電体素子を示す断面図である。

【図 2】本発明のシクロペンタジエニル錯体の結晶構造図である。

【図 3】本発明の液体搬送型 C V D 装置の概略図である。

【図 4】凹凸形状の下地基板に P t 膜を形成した時の酸素ガス / A r ガスの流量比に対するステップカバーレッジの依存性を示す図である。

【図 5】アスペクト比の異なる下地基板上に P t 薄膜を形成した時のステップカバーレッジの変化を示す図である。

【図 6】本発明の β -ジケトン錯体の結晶構造図である。

【図 7】本発明の実施例 3 で作製した誘電体素子を示す断面図である。

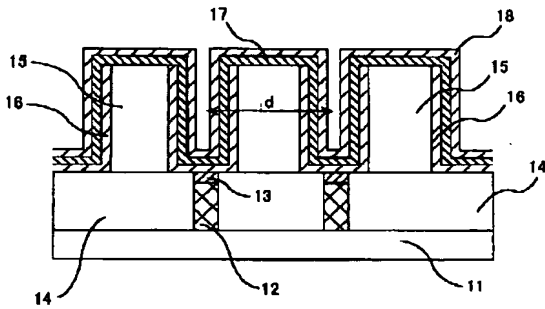
【図 8】本発明の実施例 4 で作製した誘電体素子を用いた半導体装置の断面を示す図である。

【符号の説明】

15…絶縁層、16, 75…下部電極、17, 76…誘電体薄膜、18, 77…上部電極、13, 73…T i N 層、12, 72…S i プラグ、14, 74…S i O₂ 層、11, 71…S i ウエハ、30…原料容器、31…液体マスフローコントローラー、32…気化器、33…混合器、34…恒温槽、35…シャワーヘッド、36…基板加熱用ヒーター、37…反応容器、38…ガス供給管、39…マスフローコントローラー、80…S i ウエハ、81…素子分離領域、82 (a), 82 (b), 82 (c) …ソース / ドレイン領域、83…ゲート酸化膜、84…ゲート電極、85…配線、86…層間絶縁層、87…S i プラグ、88…T i N 層、89…層間絶縁層、310…保温用ヒーター、810…配線。

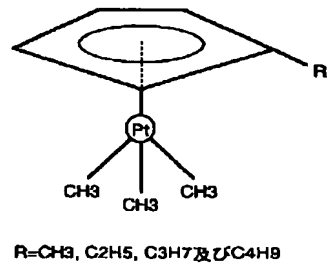
【図1】

図 1



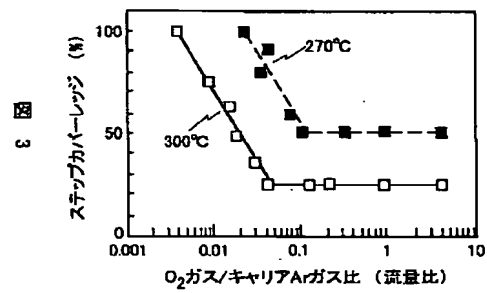
【図2】

図 2

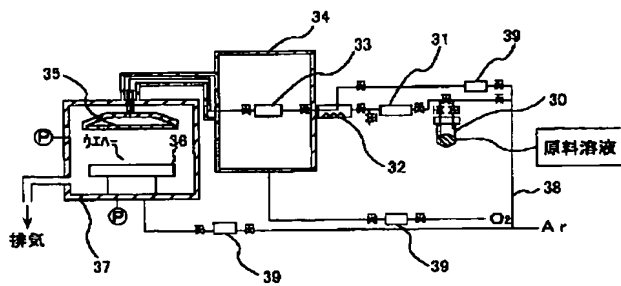


【図4】

図 4

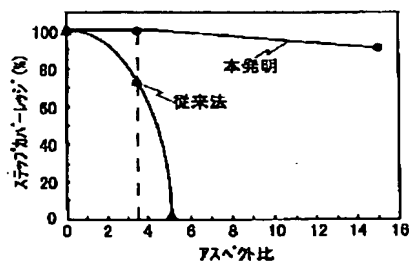


【図3】



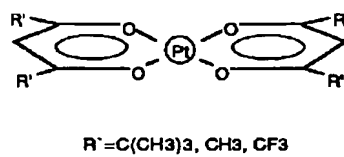
【図5】

図 5



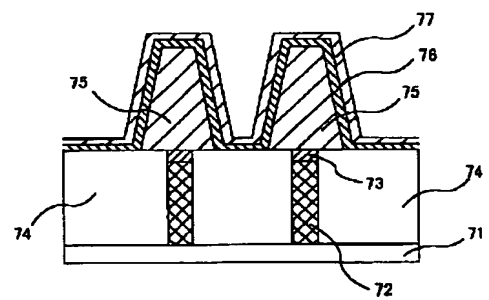
【図6】

図 6



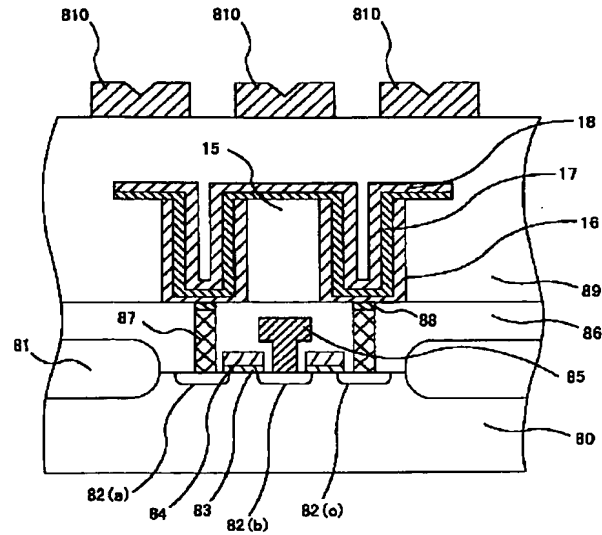
【図7】

図 7



【図 8】

図 8



フロントページの続き

(72)発明者 藤原 徹男
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内
(72)発明者 平谷 正彦
東京都国分寺市東恋ヶ窪一丁目 280 番地
株式会社日立製作所中央研究所内

F ターム(参考) 4M104 BB04 BB06 DD44 DD45 GG00
GG16 HH13
5F083 AD31 AD42 AD49 GA27 JA14
JA38 JA39 JA40 MA06 MA17
PR21 PR33
5G323 AA03